

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-251351

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H04L 12/56

H04L 12/66

H04L 29/02

(21)Application number : 2000-061806

(71)Applicant : NEC CORP

(22)Date of filing : 02.03.2000

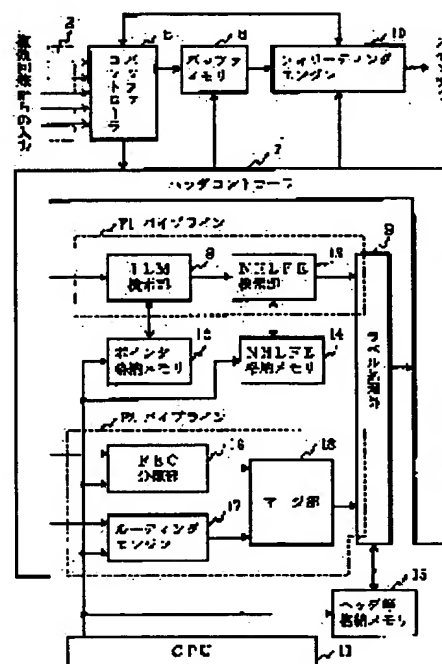
(72)Inventor : SHIODA YOSHIKI

## (54) INPUT PACKET PROCESSING SYSTEM FOR PACKET SWITCH

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent MPLS packets executed through a plurality of number of times of hop processing in an LSR from affecting a processing start time of packet reaching later.

**SOLUTION:** The packet switch is provided with a pipeline P1 that discriminates an operation to be executed among swap, push and pop operations on the basis of contents of a shim header of an MPLS packet and information set in advance, and that acquires information required for the execution and acquires output path information in a way of a flow process. A header controller 7 sequentially inputs a head shim header of each packet received from a plurality of channels 2 to the pipeline P1 and applies an actual operation to the head shim header of each packet on the basis of the obtained information. When a shim header newly comes to the head as a result of a pop operation, input processing of the shim header is again repeated to the pipeline P1. That is, the pop processing of the MPLS packet is not conducted by batch system but conducted while looping the pipeline.



## LEGAL STATUS

[Date of request for examination] 15.02.2001

[Date of sending the examiner's decision of rejection] 26.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-251351  
(P2001-251351A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 4 L 12/56		H 0 4 L 11/20	1 0 2 A 5 K 0 3 0
12/66			B 5 K 0 3 4
29/02		13/00	3 0 1 9 A 0 0 1

審査請求 有 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願2000-61806(P2000-61806)

(22) 出願日 平成12年3月2日 (2000.3.2)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 塩田 佳明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088959

弁理士 境 廣巳

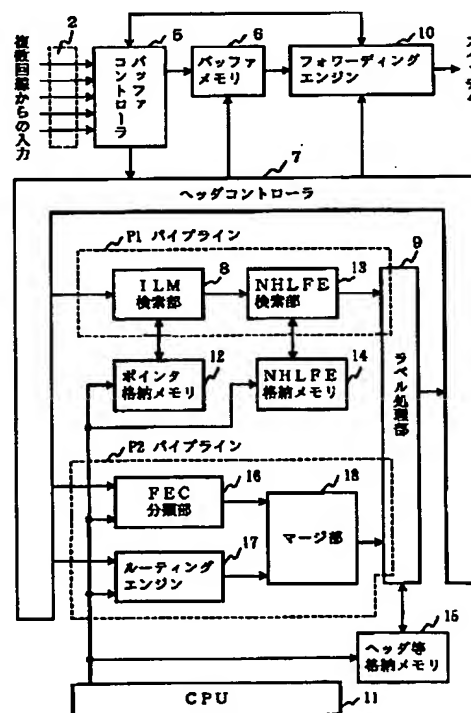
最終頁に続く

(54) 【発明の名称】 パケット交換機における入力パケット処理方式

(57) 【要約】

【課題】 LSR において、複数回のポップ処理が実施される MPLS パケットが、後から到着したパケットの処理開始時間に影響を与えないようにする。

【解決手段】 MPLS パケットのシムヘッダの内容及び事前に設定された情報に基づき、スワップ、プッシュ及びポップの内から実施すべき操作を判断しその実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的に行うパイプライン P1 を備える。ヘッダコントローラ 7 は、複数回線 2 から入力される各パケットの先頭シムヘッダをパイプライン P1 に順次に入力し、得られた情報に基づいて各パケットの先頭シムヘッダに対し実際の操作を実施する。ポップ操作の結果、新しく先頭になったシムヘッダが存在する場合、その新しく先頭になったシムヘッダをパイプライン P1 に入力する処理から再度繰り返す。つまり、MPLS パケットのポップ処理は 1 度にまとめて行うのではなく、パイプラインをループさせて処理する。



## 【特許請求の範囲】

【請求項 1】 複数階層によるスタッキング構成が可能なヘッダを持つプロトコルのバケットに付加されたヘッダ中のラベルに基づいて転送処理を行うバケット交換機における入力バケット処理方式において、

バケットのヘッダの内容および事前に設定された情報に基づき、ラベルに対して実施すべき操作の種類を判断してその操作の実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的に行うパイプラインと、

回線から入力される各バケットの先頭ヘッダを前記パイプラインに順次に入力し、得られた情報に基づいて各バケットの先頭ヘッダに対して実際の操作を実施すると共に、ポップ操作の結果、新しく先頭になったヘッダが存在するバケットはその新しく先頭になったヘッダを前記パイプラインに入力する段階から処理を再度繰り返す手段とを備えたことを特徴とするバケット交換機における入力バケット処理方式。

【請求項 2】 前記バケットが MPLS バケットであり、前記ヘッダがシムヘッダである請求項 1 記載のバケット交換機における入力バケット処理方式。

【請求項 3】 前記パイプラインは、ラベルに対してどの種類の操作を行うかを記述した第 1 のテーブルと、前記第 1 のテーブルの該当エントリのポインタを検索するための第 2 のテーブルとを含むヘッダ処理用テーブルを参照して、前記操作の実施に必要な情報を取得する請求項 1 記載のバケット交換機における入力バケット処理方式。

【請求項 4】 前記パイプラインは、バケットが入力された入力回線番号と先頭ヘッダ中のラベルとを合わせたものを検索キーとして前記第 2 のテーブルを検索する手段を有し、該手段は前記検索キーを 1 次から n 次までの n 個の分割検索キーに分割して使用し、前記第 2 のテーブルは 1 次検索テーブルから n 次検索テーブルまでの複数の検索テーブルに分割され、1 次分割検索キーは、1 次検索テーブルを検索するために用い、前記 1 次検索テーブルを検索して得られる結果は、2 次検索テーブルを検索するための検索キーの上位キーとして、2 次分割検索キーは下位キーとして用いられ、前記上位キーと前記下位キーを合わせたものを前記 2 次検索テーブルを検索するためのキーとして用い、 $k-1$  次 ( $k$  は 1 から  $n$  までの整数) 検索テーブルを検索して得られる結果は、 $k$  次検索テーブルを検索するための検索キーの上位キーとして、 $k$  次分割検索キーは下位キーとして用いられ、前記上位キーと前記下位キーを合わせたものを前記  $k$  次検索テーブルを検索するためのキーとして用い、 $n$  次検索テーブルを検索して得られる結果が前記第 1 のテーブルにアクセスするためのポインタとなる構成を有する請求項 3 記載のバケット交換機における入力バケット処理方式。

【請求項 5】 複数階層によるスタッキング構成が可能な第 1 ヘッダを持つ第 1 プロトコルのバケットに付加された第 1 ヘッダ中のラベルに基づいて第 1 プロトコルのバケットの転送処理を行うと共に、複数階層によるスタッキング構成が不可能な第 2 ヘッダを持つ第 2 プロトコルのバケットに付加された第 2 ヘッダ中のラベルに基づいて第 2 プロトコルのバケットの転送処理を行うバケット交換機における入力バケット処理方式において、

第 1 ヘッダの内容および事前に設定された情報に基づき、ラベルに対して実施すべき操作の種類を判断してその操作の実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的にを行い、予め定められたフォーマットの処理結果を出力する第 1 パイプラインと、

第 2 ヘッダの内容および事前に設定された情報に基づき、第 2 プロトコルのバケットの第 1 プロトコルによるバケット化の必要性を判断してその操作の実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的にを行い、前記フォーマットで処理結果を出力する第 2 パイプラインと、

複数の回線から入力されるバケットのプロトコルを判断し、第 1 プロトコルのバケットであれば、回線から入力された各バケットの先頭ヘッダを前記第 1 パイプラインに順次に入力し、得られた情報に基づいて各バケットの先頭ヘッダに対して実際の操作を実施すると共に、ポップ操作の結果、新しく先頭になった第 1 ヘッダが存在するバケットはその新しく先頭になったヘッダを前記第 1 パイプラインに入力する段階から処理を再度繰り返し、第 2 プロトコルのバケットであれば、回線から入力された各バケットのヘッダを前記第 2 パイプラインに順次に入力し、得られた情報に基づいて各バケットに対して実際の操作を実施する手段とを備えたことを特徴とするバケット交換機における入力バケット処理方式。

【請求項 6】 前記第 1 プロトコルのバケットが MPLS バケット、前記第 1 ヘッダがシムヘッダであり、前記第 2 プロトコルのバケットが IP バケット、前記第 2 ヘッダが IP ヘッダおよび TCP/UDP ヘッダである請求項 5 記載のバケット交換機における入力バケット処理方式。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はバケット交換機に関し、特に複数の回線カードとスイッチとで構成されるバケット交換機において回線から入力されたバケットが回線カードを通じてスイッチに出力されるまでの処理に関する。

【0002】

【従来の技術】 インターネットの普及により IP (インターネット・プロトコル) ネットワーク上のトラフィックが増大し、従来型の IP ルータでは、データを効率的に運

ぶことが困難であり、またサービス品質を保つことが困難であるという問題が存在する。これら問題を解決するための通信方式にMPLS (Multi Protocol Label Switching)方式がある。

【0003】MPLS方式の技術は、たとえば「1999年12月、アイ・イー・イー・イー・コミュニケーションズ・マガジン、第37巻、第12号、36～68頁(IEEE COMMUNICATIONS MAGAZINE, VOL.37, NO.12, DECEMBER, 1999, pp.36-68)に記載されている。

【0004】MPLSは、図3(A)に示すようなフォーマットを持つIPパケットを、図3(B)に示すようにシムヘッダと呼ばれるデータでカプセル化する。シムヘッダ中には、図3(C)に示すようにルーティング情報を示す識別子であるラベルが存在する。ラベルは20ビットの長さを持つことにより、100万個の入力パケットを識別することができる。また、MPLSパケットは、図3(D)に示すように複数のシムヘッダを付加することによる階層構造をとることができ、これをラベルスタッキングと呼ぶ。LSR(Label Switch Router)は、LSRに到着したMPLSパケットに対しラベルをもとにルーティングおよびスイッチング処理を行い、隣接ルータにパケットを転送する。

【0005】さらにパケットは、例えばIETFのRFC1661で規定されたPPPパケットでカプセル化させて回線に送受信される。PPPはIPパケットもMPLSパケットも運ぶことが可能で、PPPパケットを受信したLSRは受信したパケットがIPパケットなのか、MPLSパケットなのかを区別する。LSRにラベル情報を設定する制御信号はMPLSパケットではなく、IPパケット上のTCPをトランスポート層として使用したLDP (Label Distribution Protocol)を用いて行われる。

【0006】LSRには3種類が存在し、それぞれイングレスエッジLSR、コアLSR、イグレスエッジLSRと呼ばれる。イングレスエッジLSRは、回線から入力されたIPパケットを、IPヘッダ中のソースアドレスや、デスティネーションアドレスに基づき、あらかじめ指定しておいた特定の組み合わせに分類する。これをFEC (Forwarding Equivalence Class)に分類すると呼ぶ。イングレスエッジLSRは、このFECに分類されたIPパケット群に対し、MPLS化の判断を行い、必要であればMPLSパケット化して、隣接するLSRへ転送する。コアLSRは、MPLSパケットの中継を行う。中継の際には入力されたパケットのラベルを出力用のラベルに付け替える(スワップと呼ぶ。シムヘッダ中のラベルのみ付け替える)処理、パケットに新たなシムヘッダを加える(プッシュと呼ばれる)処理、パケットから先頭シムヘッダ(複数のシムヘッダでもよい)を取り除く(ポップと呼ばれる)処理を行い、処理されたパケットを隣接するLSRへ転送する。イグレスエッジ

LSRは、入力パケットの先頭からラベルを全て取り除いてIPパケット化し、IPルーティングによってパケットを隣接IPルータに転送する。

【0007】LSRのMPLSパケット処理手順は、まず回線入力インタフェースにMPLSパケットが到着すると、入力パケットのシムヘッダ中のラベルをキーとしてILM(Incoming Label Map)と呼ばれるテーブルを参照する。ILMの内容はポインタであり、NHLEF(Next Hop Label Forwarding Entry)と呼ばれる、ある入力ラベルに対し、どの種類のラベル操作を行うかが記述されたテーブルを指し示す。また、NHLEFをもとにルーティング処理を実施する。その後、LSRはその内部でスイッチング処理を行い、回線出力インタフェースからパケットを隣接LSRやIPルータに送信する。また、イングレスエッジLSRでは、FECに分類されたIPパケット群でMPLS化の必要のあるものは、NHLEFを参照した後ラベルをプッシュする。これらILMとNHLEFを用いる動作に関しては、IETFのドラフト仕様(MPLSのアーキテクチャを規定している)で規定されているが、その実装に関しては規定されない。

【0008】ここで、交換機またはルータの既存の実装方式として、複数枚の回線カードと、スイッチカードとで交換機またはルータを構成する方式がある。通常、回線カードには複数の回線を搭載可能であるが、1枚の回線カードの通信帯域はあらかじめ決められており、例えば帯域が2.4Gbps (Giga Bit Per Sec)の場合、伝送レートが2.4Gbpsの回線ならば1回線、155Mbps (Mega Bit Per Sec)の回線ならば16回線収容可能である。ここで、MPLSは回線ごとにラベル空間を持つことが可能である。よって回線が異なれば同じラベルの値を使用してもよい。この回線ごとのラベルを識別するために、回線カード上で20ビットのラベルに入力回線を区別するための識別子のビットを付加すると、1枚の回線カードに16回線を収容する場合には、ILMの参照キーとして24ビットが必要になる。また、1600万個の入力パケットが識別可能となる。

【0009】一方、装置の設計においてはメモリの制限、管理の複雑化などの理由で、1600万個もの識別子を同時に使用することは困難であり、使用する入力パケットの識別子を制限することが行われる。MPLSにおいて、これはILMが指し示すポインタの数を装置で使用可能な数に制限することで可能である。

【0010】1枚の回線カード装置で使用可能な識別子の数を64000個とすると、ILMの各エントリが持つべきポインタは2バイト(16ビット)となる。ここで、上記24ビットをメモリへアクセスするためのアドレスとするILMの実装を行うと、必要なメモリの量は32メガバイトである。しかし、実際に使用する領域は128キロバイト(64000×2バイト)であるの

で、メモリのほとんどの領域が無駄になってしまう問題がある。

【0011】このような入力ラベルの識別処理を実施する従来技術が、特表平8-510102号公報「パケットネットワーク内ラベル処理」に開示されている。この技術は入力ラベルをあらかじめ第一部分および第二部分に固定したもので構成されることを想定し、交換機は

(1) 第一部分および第二部分のラベル、または(2) 第一部分のみのラベル、または(3) 第二部分のみのラベルという3通りの異なるモードで入力パケットの識別処理を行うことが可能である。しかし、この技術は入力回線番号が考慮されていない。また、MPLSに相当する上記(2)のモードである入力ラベルが第一部分からのみ構成される場合には、第一部分に対応するテーブルを検索する際に、入力ラベルをメモリアクセス用のアドレスとして使用する。しかしこの方法ではMPLSのラベルのように第一部分のビット長が長い場合には、前述のような大規模メモリを必要とする問題があり、メモリの効率的な利用方法としては不十分であった。

【0012】一方、ILM、NHLEを参照した結果、ポップ処理が必要になったMPLSパケットは、ラベルスタックの先頭からラベルを一つ取り除く。ポップ処理を行った結果としては、IPパケットに戻る場合とMPLSパケットのままの場合がある。IPパケットに戻る場合には、そのLSRはイグレスエッジLSRであることを意味し、その後前述のIPルーティング処理を行う。MPLSパケットのままの場合には、もう一度ILMとNHLEを参照してラベル処理を行う必要がある。よって、このポップ処理が複数回行われることもある。装置はこのポップ処理の繰り返しに対応する必要があるが、これは装置の実装を複雑化するとともに、性能を劣化させる要因でもある。例えば、一つのパケットの全ての処理が終了するまで次のパケットを処理しない方法では、2回のポップが発生すると後から到着したパケットは、2回のポップが発生していない時よりも、パケット処理1回分の処理開始遅延が発生する。よって、2回以上のポップが実施されるパケットを多数受信した場合には、処理待ちのパケット数が増加して、処理せずに廃棄せざるを得ない状況に陥る恐れがあるという問題がある。

【0013】さらに、これまで説明してきた通り、LSRはMPLSパケットだけでなく、ルーティングを含むIPパケット処理が必要であり、MPLSとIPの両方の処理を統合し、効率的かつ高速に処理可能な方法が求められる。

【0014】

【発明が解決しようとする課題】本発明の目的は、複数回のポップ処理が実施されるパケットが、後から到着したパケットの処理開始時間に影響を与えないようにすることにある。

【0015】本発明の別の目的は、メモリを効率的に使用可能でかつ高速なILM検索処理を実現することにある。

【0016】本発明の他の目的は、MPLSとIPの両方の処理を統合し、効率的かつ高速な交換機を提供することにある。

【0017】

【課題を解決するための手段】第1の発明は、複数階層によるスタッキング構成が可能なヘッダを持つプロトコルのパケット(MPLSパケット)に付加されたヘッダ(シムヘッダ)中のラベルに基づいて転送処理を行うパケット交換機において、1パケットに対する複数回のポップ操作を1度にまとめて実施するのではなく、1回のポップ操作が終了すると、一旦パケットを処理の最初の段階へ戻したのち、再びILM検索からパケット処理を実施する。具体的には、パケットのヘッダの内容および事前に設定された情報に基づき、ラベルに対して実施すべき操作の種類を判断してその操作の実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的に行うパイプラインと、回線から入力される各パケットの先頭ヘッダを前記パイプラインに順次に入力し、得られた情報に基づいて各パケットの先頭ヘッダに対して実際の操作を実施すると共に、ポップ操作の結果、新しく先頭になったヘッダが存在するパケットはその新しく先頭になったヘッダを前記パイプラインに入力する段階から処理を再度繰り返す手段とを備えている。

【0018】第2の発明は、第1の発明において、ラベルと入力回線番号を組み合わせた検索キーを二個以上のブロックに分割し、ブロックごとにILMのテーブルを検索する。具体的には、前記パイプラインは、ラベルに対してどの種類の操作を行うかを記述した第1のテーブル(NHLE)と、前記第1のテーブルの該当エントリのポインタを検索するための第2のテーブル(ILM)とを含むヘッダ処理用テーブルを参照して、前記操作の実施に必要な情報を取得する構成を有し、且つ、前記パイプラインは、パケットが入力された入力回線番号と先頭ヘッダ中のラベルとを合わせたものを検索キーとして前記第2のテーブルを検索する手段を有し、該手段は前記検索キーを1次からn次までのn個の分割検索キーに分割して使用し、前記第2のテーブルは1次検索テーブルからn次検索テーブルまでの複数の検索テーブルに分割され、1次分割検索キーは、1次検索テーブルを検索するために用い、前記1次検索テーブルを検索して得られる結果は、2次検索テーブルを検索するための検索キーの上位キーとして、2次分割検索キーは下位キーとして用いられ、前記上位キーと前記下位キーを合わせたものを前記2次検索テーブルを検索するためのキーとして用い、k-1次(kは1からnまでの整数)検索テーブルを検索して得られる結果は、k次検索テーブルを検索するための検索キーの上位キーとして、k次分割検

索キーは下位キーとして用いられ、前記上位キーと前記下位キーを合わせたものを前記 k 次検索テーブルを検索するためのキーとして用い、n 次検索テーブルを検索して得られる結果が前記第 1 のテーブルにアクセスするためのポインタとなる構成を有する。

【0019】第 3 の発明は、IP 処理用パイプライン、MPLS 処理パイプラインを具備し、入力されたパケットの種類を判断してそれぞれのパイプラインにパケットヘッダを送信し、それぞれのパイプラインでの処理を実施した後、パイプライン処理を合流させることで MPLS と IP の両方の処理を統合する。具体的には、複数階層によるスタッキング構成が可能な第 1 ヘッダ（シムヘッダ）を持つ第 1 プロトコルのパケット（MPLS パケット）に付加された第 1 ヘッダ中のラベルに基づいて第 1 プロトコルのパケットの転送処理を行うと共に、複数階層によるスタッキング構成が不可能な第 2 ヘッダ（IP ヘッダおよび TCP/UDP ヘッダ）を持つ第 2 プロトコルのパケット（IP パケット）に付加された第 2 ヘッダ中のラベルに基づいて第 2 プロトコルのパケットの転送処理を行うパケット交換機における入力パケット処理方式において、第 1 ヘッダの内容および事前に設定された情報に基づき、ラベルに対して実施すべき操作の種類を判断してその操作の実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的にを行い、予め定められたフォーマットの処理結果を出力する第 1 パイプラインと、第 2 ヘッダの内容および事前に設定された情報に基づき、第 2 プロトコルのパケットの第 1 プロトコルによるパケット化の必要性を判断してその操作の実施に必要な情報を取得すると共に出力方路情報を取得する処理を流れ作業的にを行い、前記フォーマットで処理結果を出力する第 2 パイプラインと、複数の回線から入力されるパケットのプロトコルを判断し、第 1 プロトコルのパケットであれば、回線から入力された各パケットの先頭ヘッダを前記第 1 パイプラインに順次に入力し、得られた情報に基づいて各パケットの先頭ヘッダに対して実際の操作を実施すると共に、ポップ操作の結果、新しく先頭になった第 1 ヘッダが存在するパケットはその新しく先頭になったヘッダを前記第 1 パイプラインに入力する段階から処理を再度繰り返し、第 2 プロトコルのパケットであれば、回線から入力された各パケットのヘッダを前記第 2 パイプラインに順次に入力し、得られた情報に基づいて各パケットに対して実際の操作を実施する手段とを備えている。

【0020】

【発明の実施の形態】次に本発明の実施の形態の例について図面を参照して詳細に説明する。

【0021】図 1 を参照すると、本発明の実施の形態にかかる LSR1 は、複数枚の回線カード 3 とこれらに接続されたスイッチ 4 とで構成されている。それぞれの回線カード 3 は、対向側装置と PPP パケットにより相互

接続される複数の回線 2 を収容し、IP パケットルーティング処理、IP パケットの MPLS 化処理および MPLS パケットのラベル処理を実施して LSR1 上の出力方路情報（どの回線カードのどの回線に出力するか）を求め、スイッチ 4 に出力する処理および、スイッチ 4 からパケットを受信して出力方路情報に基づき該当する回線にパケットを出力する処理機能を兼ね備えている。また、スイッチ 4 は、各回線カード 3 から入力されたパケットを出力方路情報に基づきスイッチング処理を行い、該当する回線カード 3 に出力する機能を備えている。なお、LSR1 はインGRES、コア、イGRES の全ての LSR 機能を有し、例えば或る回線カード 3 の或る回線はインGRES LSR 用、ある回線は通常の IP ルーティング用という使用が可能であるものとする。つまり LSR は IP ルータとしても動作する。

【0022】図 2 は回線カード 3 における回線からの入力部（回線から入力されたパケットがスイッチ 4 に出力されるまでのブロック）全体を示している。この例の入力部は、バッファコントローラ 5、バッファメモリ 6、ヘッダコントローラ 7、ILM 検索部 8、ラベル処理部 9、フォワーディングエンジン 10、CPU 11、ポインタ格納メモリ 12、NHLE 検索部 13、NHLE 格納メモリ 14、ヘッダ等格納メモリ 15、FEC 分類部 16、ルーティングエンジン 17、マージ部 18 を含んでおり、ILM 検索部 8、NHLE 検索部 13 およびラベル処理部 9 で MPLS 処理用のパイプライン P1 が構成され、FEC 分類部 16、ルーティングエンジン 17、マージ部 18 およびラベル処理部 9 で IP ルーティング用かつ MPLS 化判断用のパイプライン P2 が構成される。

【0023】CPU 11 はオペレータや自律動作プロトコルによって得られた情報をもとにして、回線カード 3 内部の各ブロックの設定を行い、ポインタ格納メモリ 12、NHLE 格納メモリ 14、ヘッダ等格納メモリ 15、FEC 分類部 16 およびルーティングエンジン 17 に必要なデータを設定する。ヘッダ等格納メモリ 15 の各エントリには、スイッチ 4 で使用される出力方路情報とパケットにプッシュすべきシムヘッダ群などが格納される。NHLE 格納メモリ 14 には、ラベル操作情報、スワップする新ラベル、プッシュするシムヘッダ長、ヘッダ等格納メモリ 15 をアクセスする際のアドレスとして使用される出力方路情報ポインタなどを各エントリに持つ NHLE が格納される。ポインタ格納メモリ 12 には、NHLE のエントリへのポインタを保持する ILM が格納される。FEC 分類部 16 には、FEC 分類条件のマッチ条件、各条件毎のシムヘッダ長や出力方路情報ポインタ（ヘッダ等格納メモリ 15 をアクセスする際のアドレスとして使用される）などが設定され、またルーティングエンジン 17 にはルーティングテーブルが設定される。



【0024】バッファコントローラ5は複数回線2から入力されたパケットをバッファメモリ6に書き込むと同時に、回線から入力されるパケットのヘッダ情報（IPパケットの場合は、IPヘッダおよびTCP/UDPヘッダ、MPLSパケットの場合は全てのシムヘッダおよびIPヘッダ、TCP/UDPヘッダを指す）を、パケットを受信しながら抜き出して入力回線番号とともにヘッダコントローラ7へ送信する。また、バッファコントローラ5はバッファメモリ6内部の未使用領域を管理している。ヘッダコントローラ7に対して、パケット全体を送信せずにヘッダのみを送信する理由は、MPLSラベル処理またはIPルーティング、IPパケットのMPLS化処理を行うにはパケットのヘッダのみを参照すれば十分であり、パケット全体を送信するのは無駄であることによる。

【0025】ヘッダコントローラ7はパケットのヘッダ情報や入力回線番号をILM検索部8、FEC分類部16、ルーティングエンジン17に送信する機能と、ヘッダ処理終了をラベル処理部9から通知された後にMPLSパケットのポップ処理、バッファメモリ6内部のデータの変更およびフォワーディングエンジン10へパケットの転送依頼も行う。フォワーディングエンジン10はヘッダ処理が終了したパケットをスイッチ4へ転送する。

【0026】ILM検索部8はヘッダ情報をもとにポインタ格納メモリ12上のILMを検索し、NHLE検索部13で使用されるポインタを得る。NHLE検索部13はポインタに基づきNHLE格納メモリ14を検索して、ラベル処理情報およびラベル処理部9で使用するポインタを得るとともに、必要であればMPLSパケットのスワップ処理を行う。

【0027】FEC分類部16は、パケットをIPやTCPのヘッダ情報の組であるFEC (Forwarding Equivalence Classes) に分類して、パケットをMPLS化するかどうかを判定する。ルーティングエンジン17はIPパケットのルーティング処理を行う。マージ部18はFEC分類部16の結果とルーティングエンジン17の結果をマージして、結果をラベル処理部9に送信する。

【0028】ラベル処理部9はヘッダ等格納メモリ15にアクセスし、プッシュするシムヘッダや出力方路などのスイッチング情報を得て、結果をヘッダコントローラ7に通知する。

【0029】複数回線2から受信するパケットのフォーマットを図3に示す。実際はこれらパケットはPPPパケットにカプセル化されている。図3(A)はIPパケットを示す。(B)はMPLSパケットを示す。(C)は(B)のシムヘッダの詳細を示す。(D)はラベルスタッキングされているMPLSパケットの例を示す。

【0030】次に、本発明の実施の形態のより詳しい構成とその動作を説明する。

【0031】図2を参照すると、複数回線2からバッファコントローラ5へ入力される複数のパケットは、バッファメモリ6に十分な空き容量があれば、バッファコントローラ5によってバッファメモリ6に書き込まれる

(空き容量が無い場合には、バッファコントローラ5で廃棄される)。この際、シムヘッダのプッシュが行われる場合には、バッファメモリ6に書き込まれたパケットの先頭にシムヘッダが追加されるので、あらかじめパケットバッファの先頭部分を、想定されるシムヘッダの長さに合わせて空けて書き込む。同時に、当該パケットバッファの先頭アドレス、パケットのヘッダ情報および入力回線番号情報がシーケンス番号と共に一時的にバッファコントローラ5内部に保持される。このとき、パケットの種類がIPパケットか、MPLSパケットかを判別する。

【0032】入力パケットにおけるヘッダ部分の受信が完了すると、バッファコントローラ5は保持していたバッファの先頭アドレス、ヘッダ情報（IPパケットの場合は、IPヘッダおよびTCP/UDPヘッダ、MPLSパケットの場合は全てのシムヘッダおよびIPヘッダ、TCP/UDPヘッダを指す）、入力回線番号、パケットの種類、およびシーケンス番号をヘッダコントローラ7に送信する。ヘッダコントローラ7に送信するデータのフォーマットを図4に示す。ここでシーケンス番号は、スイッチ4への転送が終了していないパケットを管理するために使用される。また、ヘッダコントローラ7は、受信イネーブル信号をバッファコントローラ5に送信しており、バッファコントローラ5はこのイネーブル信号がアクティブのときにのみ前記データを送信可能である。

【0033】パケットの受信およびバッファメモリ6への書き込みが終了すると、バッファコントローラ5はパケットの伝送誤りをチェックし、正常であれば処理開始依頼信号をヘッダコントローラ7へ送信すると共に、フォワーディングエンジン10にシーケンス番号およびパケットが格納されているバッファメモリ6中のアドレスを通知する。バッファコントローラ5はヘッダ情報などの転送が終了すると、その内部にシーケンス番号とバッファメモリ6に保存されているパケットのバッファアドレスを保存する。伝送誤りチェックの結果が異常であれば、ヘッダコントローラ7に対し、渡したヘッダ情報などの廃棄を廃棄依頼信号によって指示する。

【0034】処理開始依頼を受信したヘッダコントローラ7はバッファコントローラ5から受信したパケットの種類の情報がMPLSであれば、ヘッダ情報、入力回線番号、シーケンス番号をILM検索部8に渡す。IPであれば同じくFEC分類部16とルーティングエンジン17に渡す。ここで各部8、16、17からヘッダコントローラ7には受信イネーブル信号による送信制御が実施される。また、ヘッダコントローラ7はバッファコン



トローラ5から受信した情報(図4)を、フォワーディングエンジン10へパケット送信依頼を行うまで保存する。

【0035】ここで、ヘッダコントローラ7が情報をILM検索部8に送信する動作から、後述するラベル処理部9での動作まではパイプラインP1によるパイプライン処理で実施される。例えば、ILM検索部8は、ILM処理が終了して結果をNHLE検索部13へ送信すると、すぐにヘッダコントローラ7から次のパケットヘッダを受信することが可能である。また、NHLE検索部13は処理結果をラベル処理部9へ送信すると、すぐにILM検索部8から次のデータを受信することが可能である。同様にヘッダコントローラ7が情報をFEC分類部16、ルーティングエンジン17に送信する動作から、後述するラベル処理部9での動作まではパイプラインP2によるパイプライン処理で実施される。例えば、FEC分類部16およびルーティングエンジン17は処理結果をマージ部18へ送信すると、すぐにヘッダコントローラ7から次のパケットヘッダを受信することが可能である。また、マージ部18は処理結果をラベル処理部9に送信すると、すぐにFEC分類部16、ルーティングエンジン17から次のデータを受信することが可能である。双方のパイプラインP1、P2による処理時間は同じとされ、双方のパイプラインP1、P2による処理はラベル処理部9において合流する。

【0036】ヘッダコントローラ7がILM検索部8へ渡すデータの構成を図5に示す。複数のシムヘッダによる多階層のMPLSパケットの場合でも、渡すシムヘッダは先頭のみである。回線カードに収容される回線数が例えば16の場合、入力回線番号情報は4ビット(2の4乗=16)となり、ラベルの20ビットと合計して24ビットのデータ(ILM検索キー)となる。ILM検索部8では、このILM検索キーおよび検索テーブルを複数個のブロックに分割してILMの検索を実施する。図6(A)に例として2個に分割した場合の例を示す。24ビットのキーをmビットと24-mビットのブロックに分割し、それぞれを1次分割検索キー、2次分割検索キーとする。また、図6(B)、(C)に示すような1次検索テーブル81および複数のサブテーブル82か

$$2(2^m + 2^{(24-m)} \times 64000) \text{ バイト} \quad \dots \quad (\text{式1})$$

【0039】式1は、m=20のときに最も少ないメモリ量(1次、2次検索テーブル共に1メガバイトで、合計2メガバイト)となる。よって、図7の各物理メモリには各々1メガバイト以上の容量を持つメモリを用意すればよい。ラベルと入力回線番号の24ビットをメモリへアクセスするためのアドレスとするILM検索の方法と比較して、必要なメモリ量は16分の1である。

【0040】上記例では2分割の場合を説明したが、さらに分割することで、使用メモリ量をより一層削減することができる。

ら構成される2次検索テーブル83を用意する。1次検索テーブル81の内容は2次検索テーブル83中のサブテーブル82にアクセスするためのポインタの集合であり、2次検索テーブル83の内容は次段のNHLE検索部13で使用されるポインタの集合である。1次、2次検索テーブル81、83はポインタ格納メモリ12内部に格納される。それぞれのテーブル81、83は、図7に示すように別々の物理メモリ上に置き、各物理メモリをILM検索部8に対して並列に配置することで同時アクセスを可能にする。勿論、両方のテーブルを同一メモリ上に置いて良い。処理速度を優先する場合には、別々の物理メモリ上に配置する。

【0037】1次検索テーブル81は、図6(B)に示すように2のm乗個のエントリをもつ。回線カード3で識別可能な入力ラベル(入力回線番号を含む)を(1600万個中)64000個に制限するとき、各エントリは2バイト(16ビット)のポインタをエントリ内容として持つ(2の16乗=65536)。つまり、エントリ自体は2のm乗個だが、ポインタ数は最大2の16乗個分である。ILM検索部8は、2×1次分割検索キーをアドレスとしてポインタ格納メモリ12上に置かれた1次検索テーブル81にアクセスし、2バイトのポインタを得る。続いてこのポインタと残りの24-mビットのデータブロックである2次分割検索キーを結合する(ポインタが上位ビット側)。ILM検索部8は、この結果をアドレスとしてポインタ格納メモリ12上に置かれた2次検索テーブル83にアクセスし、NHLE検索部13で使用される2バイトのポインタを得る。ここで図6(C)に示す通り、2次検索テーブル83は最大で64000個のサブテーブル82の集合で構成され、各サブテーブル82は2の(24-m)乗個のエントリを持っている。

【0038】ポインタを取得したILM検索部8は、そのポインタと、ヘッダコントローラ7から受信したシムヘッダ及びシーケンス番号をNHLE検索部13に送信する。上記において、mの値を変更することでILMの総使用メモリ量は変更される。総メモリ量は式1で表される。

【0041】例えばn個に分割する場合、ILM検索キーを1次からn次までのn個の分割検索キー、検索テーブルを1次からn次までの複数の検索テーブルに分割し、1次分割検索キーは、1次検索テーブルを検索するために用い、1次検索テーブルを検索して得られる結果は、2次検索テーブルを検索するための検索キーの上位キーとして、2次分割検索キーは下位キーとして用いられ、上位キーと下位キーを合わせたものを2次検索テーブルを検索するためのキーとして用い、k-1次(kは1からnまでの整数)検索テーブルを検索して得られる

結果は、k次検索テーブルを検索するための検索キーの上位キーとして、k次分割検索キーは下位キーとして用いられ、上位キーと下位キーを合わせたものをk次検索テーブルを検索するためのキーとして用いる。最終的に

$$2 \{ (2^{k1} + 64000 (2^{k2} + \dots + 2^{kn}) ) \} \text{ バイト} \quad \dots \quad (式2)$$

【0042】検索キーの分割個数を決定すると、式2の結果を最小化するkの値が求まる。よって、具体的な分割個数の決定は、装置に搭載可能なメモリ量を決め、このメモリ量を満たす検索キーの分割個数、各分割検索キーのビット幅を式2を用いて求めることで実施可能である。

【0043】次にNHLFE検索部13は、ILM検索部8からポインタとシムヘッダとシーケンス番号を受信すると、受信したポインタをアドレスとして、NHLFE格納メモリ14にアクセスし、結果としてラベル操作のうちスワップ、プッシュ、ポップのどの操作を行うのかが書かれたラベル操作情報、スワップする新ラベル、プッシュするシムヘッダの長さ、およびラベル処理部9で使用する出力方路情報ポインタ（ヘッダ等格納メモリ15のアドレスとなる）を得る。これら情報のフォーマット例を図8に示す。ラベル操作情報は図9のフォーマットに示すようにスワップ、プッシュ、ポップの可否をそれぞれ1ビットで示す合計3ビットで構成される。次に、ラベル操作情報のスワップビットが有効である場合、ILM検索部8から受信したシムヘッダ中のラベルを、得られた新ラベルで置き換える。ラベル操作情報のプッシュビット、ポップビットが有効であっても、プッシュ、ポップの処理はNHLFE検索部13では実施せず、後にプッシュはラベル処理部9で、ポップはヘッダコントローラ7でそれぞれ実施される。

【0044】最終的に、NHLFE検索部13はシムヘッダ、出力方路情報ポインタ、ラベル操作情報、シムヘッダ長、シーケンス番号の各データをラベル処理部9に送信する。この送信データのフォーマットを図10に示す。なお、NHLFE検索部13にはラベル処理部9から受信イネーブル信号による送信制御が実施される。

【0045】図11はMPLSパケットに対するラベル処理部9の動作を示すものである。ラベル処理部9では、NHLFE検索部13から受信した出力方路情報ポインタをアドレスとしてヘッダ等格納メモリ15にアクセスする（101、102）。結果としてスイッチ4で使用する出力方路情報、およびパケットにプッシュすべきシムヘッダ群を得る（103）。このデータフォーマットを図12に示す。ヘッダ等格納メモリ15から読み込むシムヘッダ群に含まれるシムヘッダの数はパケットによらず一定である。NHLFE検索部13から出力されるシムヘッダ長の値により実際にプッシュするシムヘッダの数が決定される。次にラベル処理部9は、ラベル操作情報のプッシュビットが立っていれば、シムヘッダ長情報に書かれた数のシムヘッダを内部保持ヘッダ

n次検索テーブルを検索して得られる結果は、NHLFE検索部13で使用されるポインタである。総メモリ量は、k次分割検索キーのビット幅をkとすると式2で表される。

$$(NHLFE検索部13から受信したシムヘッダを指す)に追加する(104、105)。プッシュビットが立っていない場合には追加せず、得たシムヘッダ群を無視する。いずれの場合にも、出力方路情報は内部保持ヘッダに追加される(106)。処理が終了するとラベル$$

処理部9は、内部保持ヘッダおよびラベル処理操作情報、シムヘッダ長、出力方路情報、シーケンス番号をヘッダコントローラ7に対して送信する（107）。このデータフォーマットを図13に示す。なお、ラベル処理部9にはヘッダコントローラ7から受信イネーブル信号による送信制御が実施される。

【0046】続いてFEC分類部16とルーティングエンジン17の動作について説明する。FEC分類部16はヘッダコントローラ7からIPヘッダ、TCP/UDPヘッダ、シーケンス番号を受信し、例えばIPヘッダ中のソースアドレスフィールドとTCPヘッダ中のソースポートフィールドが特定の値を持っているとき（FEC分類条件がマッチ）に、そのIPパケットをMPLS化する判断を行うと共に、出力方路情報ポインタを決定する。特定の値をもっていないときには、ダミーの出力方路情報ポインタを決定する。なお、ここで決定した出力方路情報ポインタは、前述のMPLSと同様にラベル処理部9がヘッダ等格納メモリ15から出力方路情報などを取り出す際のアドレスとして使用される。処理終了後、FEC分類部16は出力方路情報ポインタ、MPLS化情報、マッチ情報、シムヘッダ長、シーケンス番号をマージ部18に送信する。ここで、マージ部18からはFEC分類部16に対し受信イネーブル信号による送信制御が実施される。

【0047】ルーティングエンジン17はヘッダコントローラ7からシーケンス番号、IPヘッダを受信し、IPヘッダ中のデスティネーションアドレスからルーティングテーブルを検索して、出力方路情報（出力方路情報ポインタとは異なり、スイッチ4で使用する出力方路情報そのもの。FEC分類部16で有効な出力方路情報ポインタが決定されなかった場合に使用される）を得て、シーケンス番号と共にマージ部18に送信する。マージ部18からはルーティングエンジン17に対し受信イネーブル信号による送信制御が実施される。ここで得られる出力方路情報は、IPルーティング処理によるものであり、FEC分類部16で条件がマッチせずに出力方路情報ポインタが得られない場合に用いられることとなる。

【0048】マージ部18は、FEC分類部16とルーティングエンジン17の情報を単純にマージして（ただ

し双方の情報のシーケンス番号の一致を確認して一致した場合にマージする)ラベル処理部9にマージ結果を送信する。図14に送信する情報のフォーマットを示す。ラベル処理部9からはマージ部18に対し受信イネーブル信号による送信制御が実施される。

【0049】図15はIPパケットに対するラベル処理部9の動作を示すものである。ラベル処理部9では、マージ部18から受信した情報(図14)中のマッチ情報が有効であれば、出力方路情報ポインタを用いてヘッダ等格納メモリ15にアクセスし、スイッチ4で使用する出力方路情報、パケットにプッシュすべきシムヘッダ群を前述のMPLSパケットの処理と同様に得る(201、202、204、205)。さらに、MPLS化情報が有効であれば、シムヘッダ長情報に書かれた数のシムヘッダを内部保持ヘッダとして作成する(206、207)。ここで、プッシュビットが立っていない場合には追加せず、得たシムヘッダ群データを無視する。その後、MPLS化情報にかかわらず、ヘッダ等格納メモリ15から取得した出力方路情報を内部ヘッダに付加する(208)。マッチ情報が無効であれば、ヘッダ等格納メモリ15にはアクセスせず、内部ヘッダにマージ部18から受信した出力方路情報のみを追加し(203)、結果をヘッダコントローラ7に送信する(209)。このデータフォーマットは図13のMPLSの場合と同じであるが、シムヘッダ19はオール0またはオール1とする。また、ラベル操作情報フィールドのプッシュビットはラベル処理部9が有効化する。処理終了後、結果はヘッダコントローラ7に渡される。ヘッダコントローラ7からはラベル処理部9に対し受信イネーブル信号による送信制御が実施される。

【0050】次に、MPLSパケット、IPパケットの両方に共通である、ラベル処理部9での処理終了後に実施される処理に関して説明する。図16はヘッダコントローラ7の動作に関するものである。ヘッダコントローラ7はラベル処理部9から受信したデータ(図13)に関し、シーケンス番号を照合し(301、302)、該当するパケットがMPLSパケットであれば、ラベル操作情報のポップビットを参照する(303、304)。ここで、ポップ処理が必要な場合には、保持していたヘッダデータ中の、先頭のシムヘッダをポップする(305)。結果、残されたヘッダデータがMPLSヘッダであれば、ILM検索部8へ、IPデータであればFEC分類部16およびルーティングエンジン17へ再びヘッダデータ等を送信して処理を依頼する(306、307、308)。この際、もしバッファコントローラ5から新規に受信したパケットヘッダ等の送信処理と競合する場合には、ポップ処理後のデータの送信処理を優先する。304において、ポップ処理が実施されていないことが判明したパケットは、続いてスワップビットのチェックを行い(309)、(NHLE検索部13で)ス

ワップが実施されたパケットは、保持していたヘッダデータ中の先頭シムヘッダ中のラベルを新ラベルで置き換える(310)。次に、プッシュビットのチェックを行う(311)。ここで、303で分岐したIPパケットもこの処理をMPLSパケットと同様に実施する(311)。プッシュビットが有効である場合には、シムヘッダ群(MPLSの仕様では、一度に複数シムヘッダのプッシュが可能である)を保持していたヘッダデータの先頭に追加する(312)。以上でヘッダコントローラ7中の内部保持ヘッダデータの処理が完了となる。つまり、ひとつのパケットの一連のパイプライン処理の終了は、ポップ以外の処理が行われた場合である。

【0051】全てのヘッダ処理を終了したヘッダコントローラ7は、更新した内部保持ヘッダを、バッファメモリ6中の該当パケットの先頭部分に対して上書き処理する(313)。これはバッファコントローラ5から最初に受け取ったバッファの先頭アドレスを用いて実施される。ヘッダコントローラ7は最後に、処理が終了したパケットのシーケンス番号をフォワーディングエンジン10に通知する(314)。

【0052】通知を受けたフォワーディングエンジン10は、シーケンス番号に対応するポインタ情報を用いてバッファメモリ6からパケットを読み出して、スイッチ4方向へパケットを転送する。ここで、シーケンス番号に対応するパケットがバッファメモリ6に格納されている位置(ポインタ情報)は、あらかじめバッファコントローラ5から受信しておく。

【0053】パケットのスイッチ4への転送が終了すると、パケットのシーケンス番号をバッファコントローラ5へ通知する。バッファコントローラ5は受信したシーケンス番号のパケットが使用していたバッファメモリを開放し、未使用バッファリストに追加する。以上で、一連のパケット処理が完了する。

【0054】一連の処理においてヘッダコントローラ7は、パイプライン処理が実施されているパケット群のヘッダおよびシーケンス番号をその内部に保持しているが、保持できるヘッダの数は、あらかじめ上限となる閾値を固定値として設定しておく。保持ヘッダ数はバッファコントローラ5からヘッダを受信するとインクリメントされ、フォワーディングエンジン10にパケットの送信を指示するとデクリメントされるが、ポップ処理が頻繁に発生すると保持ヘッダ数が増加し、閾値を超えてしまう場合がある。このときバッファコントローラ5へ送信しているヘッダ受信イネーブル信号をインアクティブにすることによって、バッファコントローラ5からの新規ヘッダの受信を停止する。この場合、バッファコントローラ5はヘッダコントローラ7からのイネーブル信号がアクティブになるまでヘッダ情報を保持するが、バッファコントローラ5内部のヘッダメモリ格納領域の空き容量が無くなった場合には、複数回線2から受信する新

規バケットをバッファメモリ 6 に書き込まずに廃棄する。しかし、パイプライン処理により、ヘッダコントローラ 7 から ILM 検索部 8 などに送信されるヘッダデータの送信間隔は、ILM 検索部 8、FEC 分類部 16、ルーティングエンジン 17 の処理時間のうち、最大のものの、ほぼ左右されるため、その時間は、ひとつのバケットの全ての処理が終了するまで次のバケットを処理しない方法に比べて短い。よってバケットの廃棄も起こりにくい。

【0055】

【発明の効果】第 1 の効果は、2 回以上のポップ処理が実施されるバケットが多数到着した場合に、後から到着したバケットが廃棄される可能性が低くなることである。その理由は、ヘッダ処理過程はパイプライン処理で行われ、一度に複数ヘッダの処理が行われることと、MPLS パケットのラベル処理においてポップ処理が発生した場合、パイプライン処理過程をループさせることにより、後から到着したバケットの待ち時間はパイプライン処理過程に配置された各処理ブロックのうち、最も処理時間がかかるブロックの処理時間にほぼ等しく、複数回のポップ処理をまとめて処理する方法の待ち時間（ポップ回数分の全バケット処理過程が必要）に比べて少ないからである。

【0056】第 2 の効果は、ILM を実現するメモリ量が、ラベルと入力回線を ILM 検索キーとして直接メモリにアクセスする場合と比べて、例えば 16 回線を収容する回線カードの場合には 16 分の 1 以下になることである。その理由は、ILM 検索用のキーを複数に分割し、分割後の複数のキーを用いて ILM の検索を実施するからである。さらに、検索キーの分割個数および各分割検索キーのビット幅は、入力回線数と設計者の方針により変更可能であるからである。

【0057】第 3 の効果は、MPLS と IP の両方の処理が効率的に統合されることである。その理由は、ヘッダ処理過程はパイプライン処理で行われ、パイプライン処理は MPLS 用と、IP 用に 2 系統に分かれているが、ラベル処理部で合流し、双方のパイプラインの処理結果が同じフォーマットで表現されてヘッダコントローラで処理されるからである。

【図面の簡単な説明】

【図 1】本発明の実施の形態にかかる LSR のブロック図である。

【図 2】LSR 中の回線カードにおける回線からの入力側のブロック図である。

【図 3】複数回線から入力される IP、MPLS パケットのフォーマットを示す図である。

【図 4】バッファコントローラがヘッダコントローラに

送信するデータのフォーマットを示す図である。

【図 5】ヘッダコントローラが ILM 検索部へ渡すデータのフォーマットを示す図である。

【図 6】ILM 検索部で使用する検索キーの説明図である。

【図 7】ポインタ格納メモリの物理構成を示す図である。

【図 8】NHLE 検索部が NHLE 格納メモリから得るデータのフォーマットを示す図である。

10 【図 9】図 8 のデータ中のラベル操作情報の詳細を示す図である。

【図 10】NHLE 検索部がラベル処理部に送信するデータのフォーマットを示す図である。

【図 11】ラベル処理部の MPLS パケット処理のフローチャートである。

【図 12】ラベル処理部がヘッダ等格納メモリから得るデータのフォーマットを示す図である。

【図 13】ラベル処理部がヘッダコントローラへ送信するデータのフォーマットを示す図である。

20 【図 14】マージ部がラベル処理部へ出力するデータのフォーマットを示す図である。

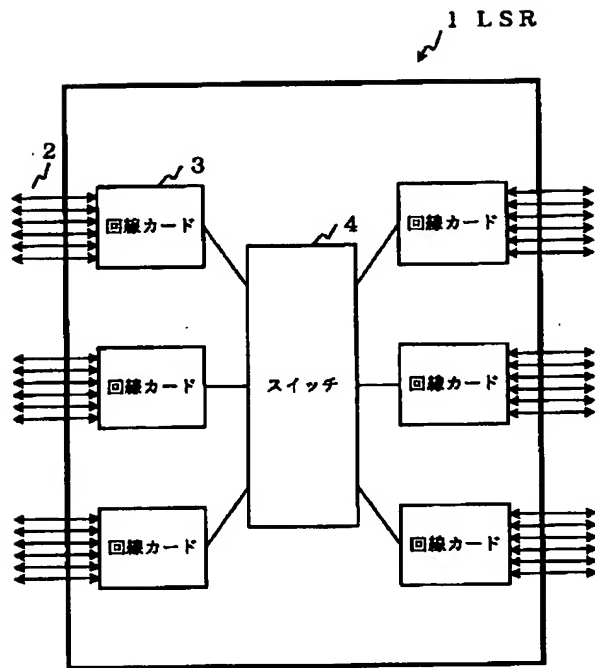
【図 15】ラベル処理部の IP パケット処理のフローチャートである。

【図 16】ヘッダコントローラが、ラベル処理部から各種データを受信してから、フォワーディングエンジンにバケットのスイッチへの送信を依頼するまでの処理のフローチャートである。

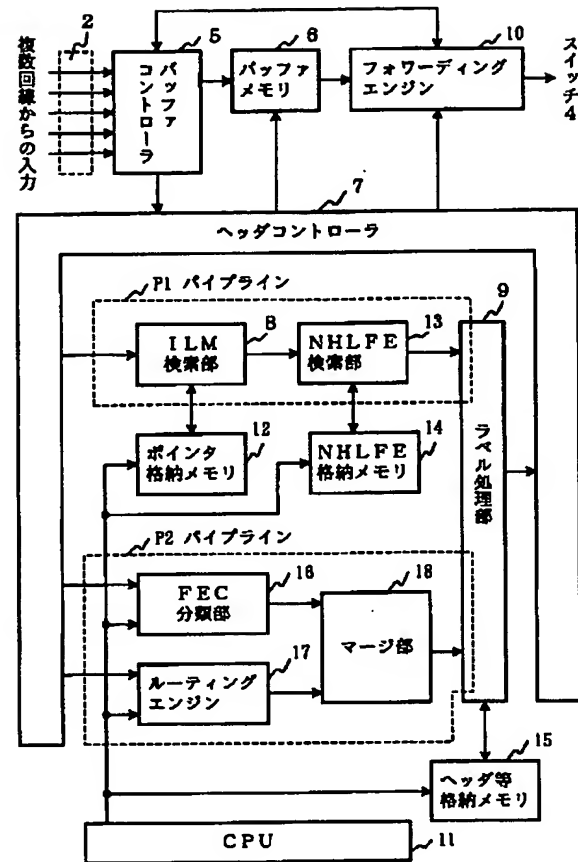
【符号の説明】

- 1…LSR
- 30 2…複数回線
- 3…回線カード
- 4…スイッチ
- 5…バッファコントローラ
- 6…バッファメモリ
- 7…ヘッダコントローラ
- 8…ILM 検索部
- 9…ラベル処理部
- 10…フォワーディングエンジン
- 11…CPU
- 40 12…ポインタ格納メモリ
- 13…NHLE 検索部
- 14…NHLE 格納メモリ
- 15…ヘッダ等格納メモリ
- 16…FEC 分類部
- 17…ルーティングエンジン
- 18…マージ部
- 19…シムヘッダ

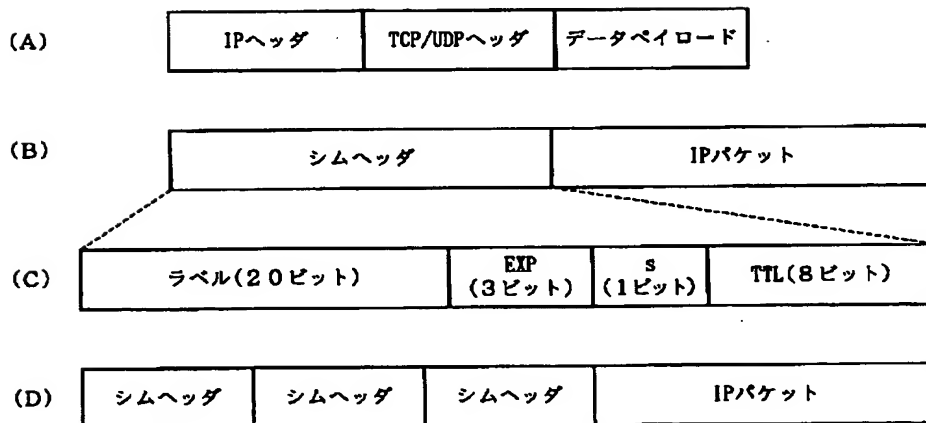
【図1】



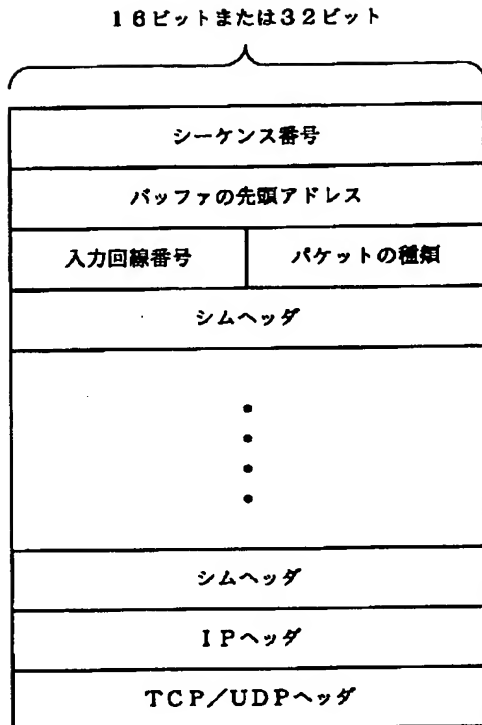
【図2】



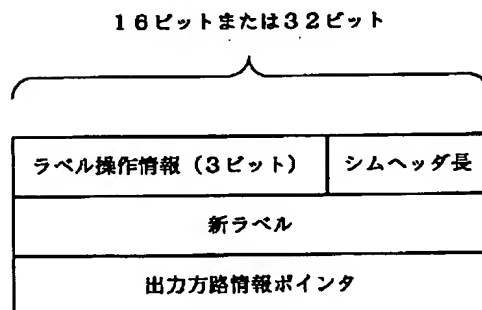
【図3】



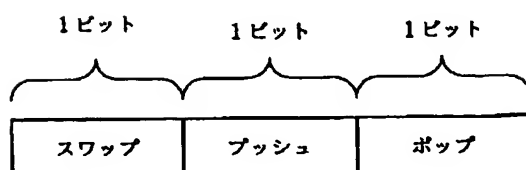
【図4】



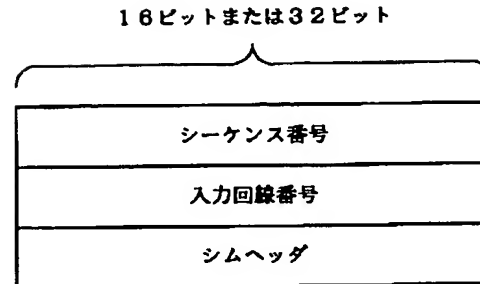
【図8】



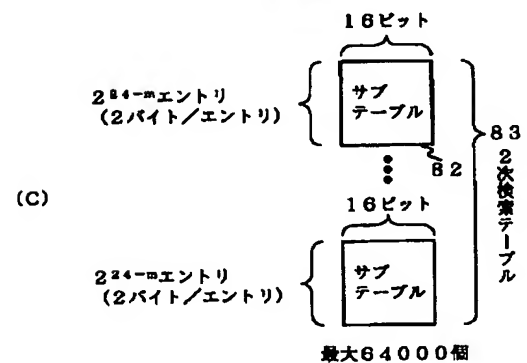
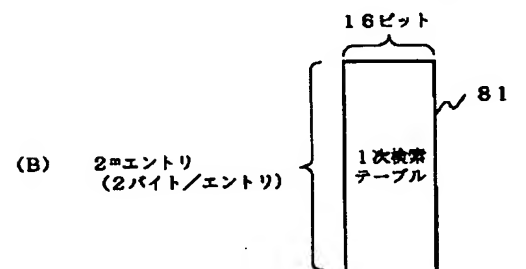
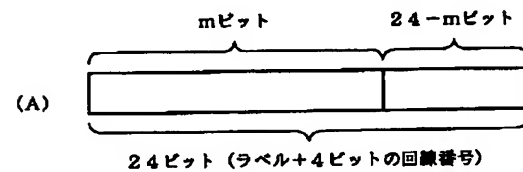
【図9】



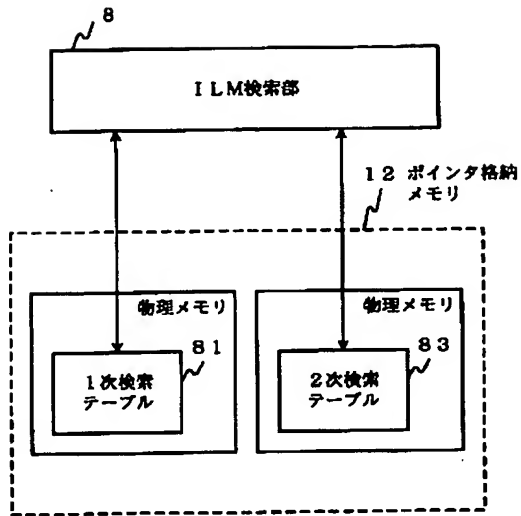
【図5】



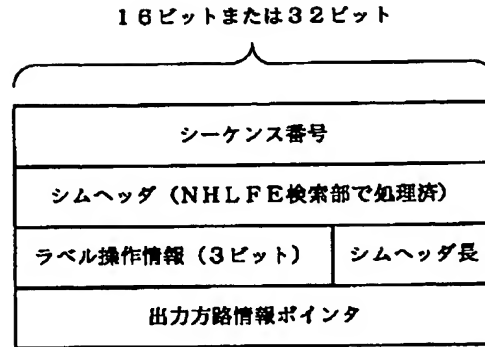
【図6】



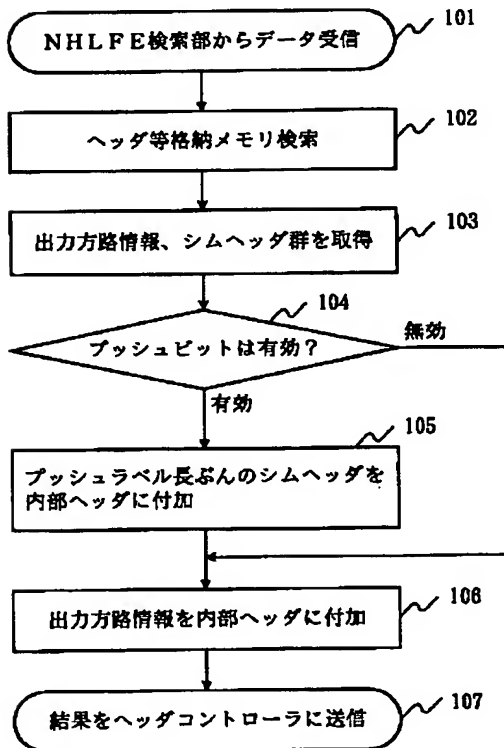
【図7】



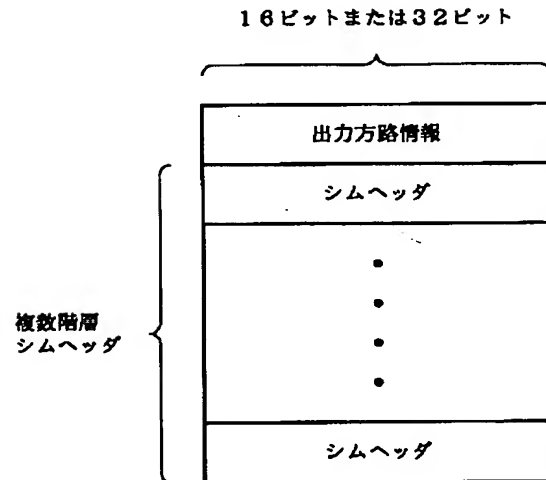
【図10】



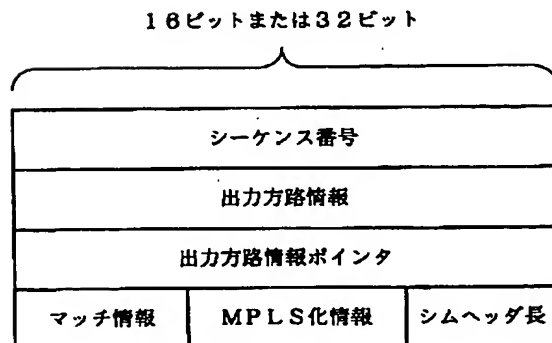
【図11】



【図12】

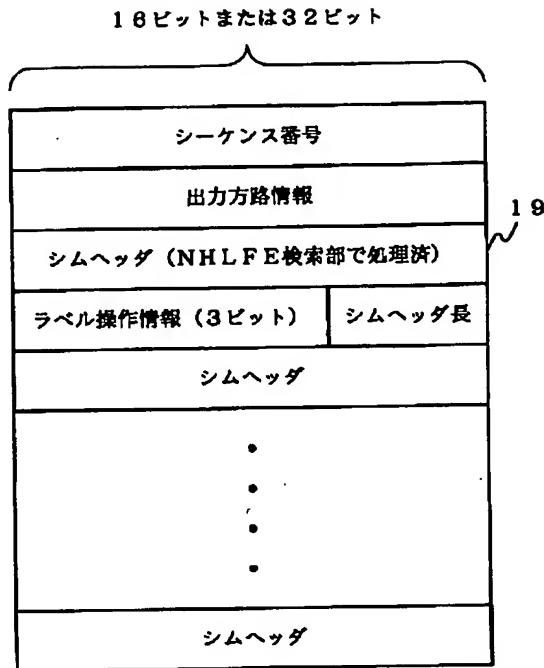


【図14】

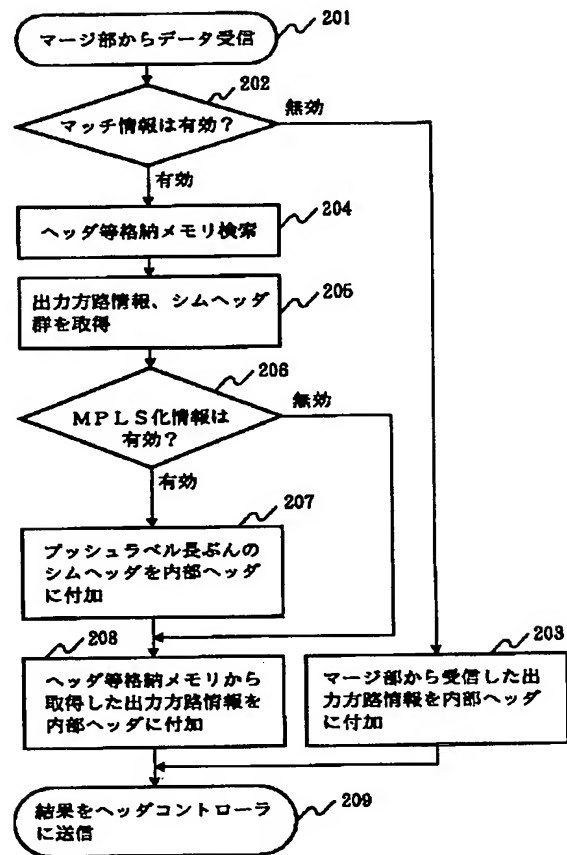




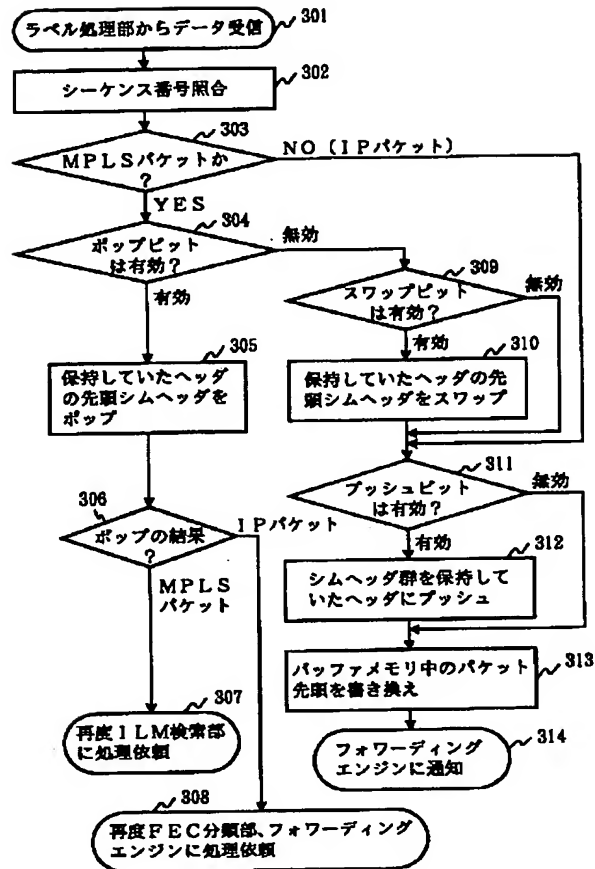
【図13】



【図15】



【図16】



フロントページの続き

Fターム(参考) 5K030 GA01 GA05 HA08 HB28 HB29  
 HC01 JA05 KA15 LB05 LB11  
 LB18 LE06 MA12  
 5K034 AA02 AA09 AA11 BB06 DD01  
 EE11 FF04 FF08 GG03 HH02  
 HH04 HH06 JJ12 JJ23 KK27  
 MM25 SS02  
 9A001 BB03 BB04 CC06 DD10 FF03  
 JJ18 JJ25 KK56 LL09